

Japanese Laid-open Patent

Japanese Laid-open Patent No. Sho 64-53459

Publication(Kokai) Date : Mar 1, 1989

Application No. : Sho 62-209815

Application Date : Aug 24, 1987

Applicant : SONY Corporation

7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo

Inventors : Hisao HAYASHI

Michio NEGISHI

Takashi NOGUCHI

Takefumi OOSHIMA

Yuji HAYASHI

Toshikazu MAEKAWA

Takeshi MATSUSHITA

c/o SONY Corporation

7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo

Agent : Patent Attorney Fujiya SHIGA

Specification

1. Title of Invention

MOS TRANSISTOR

2. Claims

A MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween,

wherein said semiconductor layer has a film thickness of 100 nm or less.

3. Detailed Description of Invention

[Field of Industrial Use]

This invention relates to a MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween.

[Summary of Invention]

In the present invention, in a MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween, said semiconductor layer has a film thickness of 100 nm or less, whereby a mobility can be drastically increased with no change of a gate input capacitance.

[PRIOR ART]

In the prior art, in general, as a MOS transistor of this type, a both gate MOS is known, in which a thin film semiconductor layer of about 3000 to 5000 nm is interposed between a pair of opposed gate electrodes.

[Problem to be solved by Invention]

However, the mobility of the conventional MOS transistor or this type is called a surface mobility. As can be seen from the conduction band bottom energy potential E_c of the band diagram in Fig.4, the band is bent, the channel as an electron path is localized and narrowed at the surface, and it causes problem that the mobility μ is small due to the large scattering of electrons on the free path.

The present invention was created in view of these conventional problems and is aimed at obtaining one MOS transistor having a large mobility.

[Means for Solving the Problem]

In the present invention, in a MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween, said semiconductor layer has a film thickness of 100 nm or less.

[Effect]

Since the semiconductor layer has a film thickness of 100 μm or less, due to the mutual action of the pair of gate

electrodes, the energy level E_c at the conduction band bottom of the semiconductor layer is made lowered and the channel is made broadened. As a result, the scattering of free electrons on the free path is reduced and the electron mobility μ is increased.

[Embodiment]

Hereafter, the MOS transistor of the present invention will be explained in detail in conduction with the embodiment shown in the figures.

Fig.1 shows a schematic cross sectional view of the MOS transistor of this embodiment. The reference numeral 1 shows a MOS transistor. In the MOS transistor 1, a second gate electrode 3 is formed of polycrystalline silicon over a quartz substrate 2. A gate insulating layer 4 made of SiO_2 is formed on an exposed surface of the quartz substrate 2 and the second gate electrode 3. An active layer 5 is formed as an ultra thin film (100 nm or less) on the gate insulating layer 4 over the second gate electrode 3. An N^+ impurity is added by ion implantation to both side portions of the active layer 5 to form a source region 5A and a drain region 5B.

Further, over the active layer 5, a first gate electrode 7 made of polysilicon is formed via a gate insulating layer 6 made of SiO_2 . Further, in the present embodiment, the distance between the active layer 5 and the second gate electrode 3 is longer than the distance between the active layer 5 and the first gate electrode 7 and a work function of the second gate electrode 3 is set to become small.

Moreover, in diagram, 8 is a gate insulating layer made of SiO_2 as well as the gate insulating layer 6, also 9A and 9B are taking electrodes formed of aluminum, and are connected with a source area 5A, and a drain area 5B respectively.

In the present embodiment, as described above, it was

confirmed that the mobility μ is remarkably large by making the thickness of the active layer 5 100 μm or less.

Fig.2 shows the relationship between the film thickness of the active layer 5 and the drain current in the MOS transistor of the present embodiment. In this graph, A indicates the case using only the first gate electrode 7, B indicates the case using the second gate electrodes 3, C indicates the case using both of the gate electrodes 7 and the gate electrode 3, and a drain current of C is larger than the sum of A and B under the active layer 5 with 100 nm or less film thickness. Precisely the current flows, which is larger than the sum of current flowing in the channel generated in the active layer 5 by only the first gate electrode 7 and in the by only the second gate electrode 3, and this is indicated that the mobility μ of the channel increases by the mutual action in the electric field of both electrodes 7 and 3.

Based on, the band diagram in Fig.3, it is shown that. the line showing the energy level E_c at the conduction band bottom of the MOS transistor concerned the present embodiment, approaches a Fermi level E_f (indicated as a broken line), and a curve line is flat so that the mobility μ and the mutual conductance g_m increase. E_i in Fig.3 and Fig.4 indicates a central of a forbidden zone.

Further, in above embodiment, the distance from the active layer 5 is made longer by comparing the second gate electrode 3 to the first gate electrode 7 to set the input capacitance small, and the input capacitance has similar input capacitance which the ordinary gate electrode is one.

Thus, as explained the embodiment, various designs, alternations, and the others are possible, for examples, even if the distance from the first gate electrode 7 to the active layer 5 (the thickness of the gate insulating layer 6) and the

distance from the second gate electrode 3 to the active layer 5 are same, naturally the mobility μ can be increased as well as the above embodiment.

And, in above embodiment the active layer 5 is made of polysilicon, and it is possible to be made of single crystal silicon.

[Effect of Invention]

Obviously from the above explanation, in the MOS transistor concerning in the present invention, a semiconductor layer sandwiched by the pair of opposed gate electrodes has a film thickness 100 nm or less whereby it is possible that the mobility μ is increased remarkably and it has the effect that as like LSI is expected to become more speedy.

[Simple explanation of Diagram]

Fig.1 is a sectional view showing the embodiment of a MOS transistor of the present invention, Fig.2 is a diagram shown the relationship between the film thickness of the active layer and the drain current of the present invention, Fig.3 is a band diagram showing the energy state of the MOS transistor of the presence invention, and Fig.4 is a band diagram showing the energy state of the prior example.

1 . . . a MOS transistor, 3, 7 . . . a second and a first gate electrodes
5 . . . an active layer

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭64-53459

⑫ Int. Cl. 4

H 01 L 29/78

識別記号

301

厅内整理番号

X-8422-5F

⑬ 公開 昭和64年(1989)3月1日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOSトランジスタ

⑮ 特願 昭62-209815

⑯ 出願 昭62(1987)8月24日

⑰ 発明者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	根岸 三千雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	大 嶋 健 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	林 祐 司	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	前 川 敏 一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発明者	松 下 孟 史	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 出願人	ソニー株式会社	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 代理人	弁理士 志賀 富士弥	東京都品川区北品川6丁目7番35号	

明細書

1. 発明の名称

MOSトランジスタ

2. 特許請求の範囲

半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、

前記半導体層の膜厚を100nm以下にしたことを特徴とするMOSトランジスタ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体層を挟む一対のゲート電極を有するMOSトランジスタに関する。

[発明の概要]

本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下にしたことにより、

ゲート入力容量を変えずに移動度を著しく増加させ得るようとしたものである。

[従来の技術]

従来、この種のMOSトランジスタとしては、一般に、3000~5000nm程度の薄膜半導体層を一対のゲート電極で挟んで対向するようにした、所謂両面ゲートMOSトランジスタが知られている。

[発明が解決しようとする問題点]

しかしながら、このような従来例のMOSトランジスタの移動度は表面移動度といわれ、第4図のバンド図の伝導帯端エネルギー単位E_cをみるとわかるように、バンドが曲がっており、電子の通り道であるチャネルが表面に極在して狭くなっていて、電子の自由行程における散乱が多いため、移動度が小さいという問題点を有していた。

本発明は、このような従来の問題点に着目して創案されたものであって、移動度の大きいMOSトランジスタを得んとするものである。

【問題点を解決するための手段】

そこで、本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下にしたことを、その構成としている。

【作用】

半導体層が100nm以下であるため、一対のゲート電極の相互作用により、半導体層の伝導帯端エネルギー単位E_cを下げて、チャネルを広くする。これにより、電子の自由行程における自由電子の散乱を少なくし電子の移動度μを大きくする。

【実施例】

以下、本発明に係るMOSトランジスタの詳細を図面に示す実施例に基づいて説明する。

第1図は本実施例に係るMOSトランジスタの概略断面図であって、符号1はMOSトランジスタを示している。このMOSトランジスタ1にお

々、ソース領域5A、ドレイン領域5Bに接続されている。

本実施例にあっては、上述したように、活性層5の厚さを100nm以下にしたことにより、移動度μが著しく大きくなることが確認された。

第2図は、本実施例のMOSトランジスタにおける活性層5の膜厚とドレイン電流との関係を示すグラフである。このグラフ中、Aは第1ゲート電極7のみを用いた場合、Bは第2ゲート電極3を用いた場合、Cは両ゲート電極7、3を用いた場合を示したものであり、活性層5の厚さが100nm以下でCのドレイン電流がAとBの和よりも大きくなっている。即ち、第1ゲート電極7のみにより、活性層5に発生するチャネルと、第2ゲート電極3のみにより発生するチャネルとを夫々流れる電流の和よりも大きい電流が流れしており、これは両電極7、3の電界の相互作用によりチャネルの移動度μを増大していることを示している。

また、第3図に示すバンド図に依れば、本実施例に係るMOSトランジスタにおける伝導帯端エ

いでは、石英基板2に多結晶シリコン(Poly-Si)で第2ゲート電極3が形成されている。そして、石英基板2及び第2ゲート電極3の露呈面には、SiO₂から成るゲート絶縁層4が被覆されている。ゲート絶縁層4における、前記第2ゲート電極3上方には、多結晶シリコンで半導体層である活性層5を超薄膜(100nm以下)となるよう形成している。この活性層5の両側部はN⁺形不純物をイオン注入して、ソース領域5A及びドレイン領域5Bが形成されている。

さらに、活性層5の上方には、SiO₂でなるゲート絶縁層6を介して、多結晶シリコンでなる第1ゲート電極7を形成している。なお、本実施例にあっては、活性層5と第1ゲート電極7との距離よりも、活性層5と第2ゲート電極3との距離のほうが長くなっていて、第2ゲート電極3の仕事関数が小さくなるように設定されている。

なお、図中、8はゲート絶縁層6と同様にSiO₂でなる絶縁層であり、また、9A、9Bはアルミニウムで形成された取り出し電極であり、夫

エネルギー単位E_cを表わす線がフェルミ準位E_F(破線で示す)に近づき袖線が平坦になっており、移動度μ及び相互コンダクタンスg_mを増加させていることを示している。第3図及び第4図におけるE_iは、禁制帯の中心を示している。

なお、上記実施例にあっては、第2ゲート電極3を第1ゲート電極7に比較して活性層5からの距離を長くして、入力容量を小さく設定しており、通常のゲート電極が1つものと同程度の入力容量にしている。

以上、実施例について説明したが、この他各種の設定変更が可能であり、例えば、第1ゲート電極7から活性層5までの距離(ゲート絶縁層6の厚さ)と、第2ゲート電極3から活性層5までの距離(ゲート絶縁層4の厚さ)とが同じであっても、もちろん上記実施例と同様に移動度μを増大することが出来る。

また、上記実施例にあっては、活性層5を多結晶シリコンで形成したが、単結晶のものを形成しても、もちろん良い。

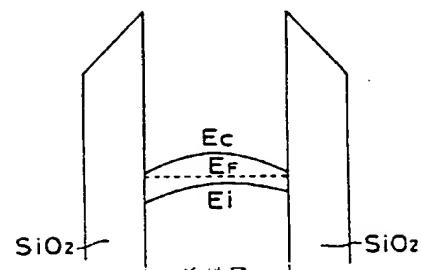
[発明の効果]

以上の説明から明らかなように、本発明に係るMOSトランジスタにあっては、一对のゲート電極に挟まれる半導体層の膜厚を100nm以下にしたことにより、移動度 μ を著しく増大することが可能となり、例えばLSIなどの高速化を期する効果がある。

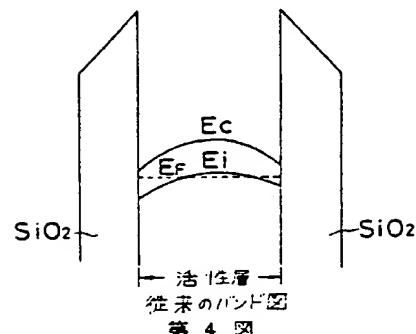
4. 図面の簡単な説明

第1図は、本発明に係るMOSトランジスタの実施例を示す断面図、第2図は本実施例における活性層の厚さ-ドレイン電流の関係を示すグラフ、第3図は本実施例のMOSトランジスタのエネルギー状態を示すバンド図、第4図は従来例のエネルギー状態を示すバンド図である。

1…MOSトランジスタ、3、7…第2、第1
ゲート電極、5…活性層。

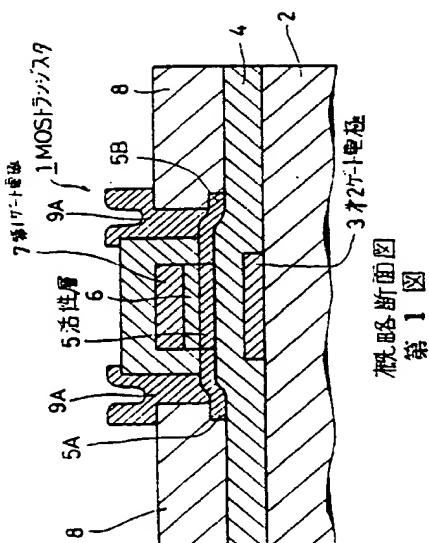


本発明に係るバンド図
第3図

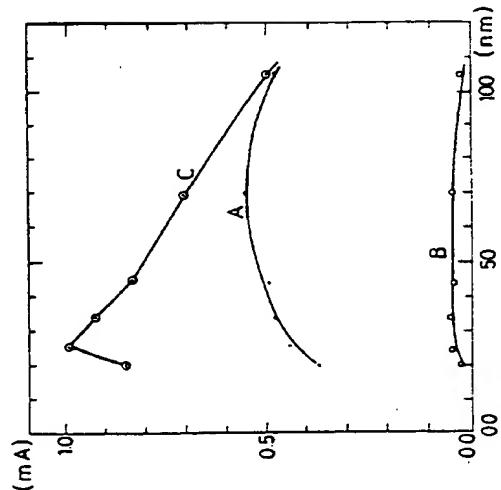


従来のバンド図
第4図

代理人 志賀富士弥



概略断面図
第1図



活性層の厚さ-ドレイン電流の関係を示すグラフ
第2図